

⑫ 公開特許公報(A) 平4-119594

⑤ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)4月21日

G 11 C 16/04

9191-5L G 11 C 17/00 308

審査請求 未請求 請求項の数 4 (全5頁)

⑭ 発明の名称 半導体記憶装置

⑯ 特 願 平2-238492

⑰ 出 願 平2(1990)9月7日

⑱ 発 明 者 高 品 信 昭 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑳ 代 理 人 弁理士 青 柳 稔

明 細 書

1. 発明の名称

半導体記憶装置

2. 特許請求の範囲

1. 不揮発性メモリセルを備え、ブロック化したデータを書込まれる書換え可能な不揮発性半導体記憶装置において、

メモリセルの閾値を低、中、高の3値にして、その2値でデータを、残りの1値でデータブロックのインデックスを表わすようにし、

これらのデータとインデックスの読取り手段を設けたことを特徴とする半導体記憶装置。

2. メモリセルへの3値書込み回路は、選択ワード線の電位を高電圧(V_{pp})にする手段(Q_{s1} , W)と、該高電圧より高い高電圧(V_{pp}')にする手段(Q_{s2} , IW)を備えることを特徴とする請求項1記載の半導体記憶装置。

3. メモリセルへの3値書込み回路は、データリードより低い感度で読出す手段(Q_{i2} , W)、それより更に低い感度で読出す手段(Q_{i3} , IW)

を備え、

これらの手段で読出せるまでデータライトを繰り返すようにしてなることを特徴とする請求項1記載の半導体記憶装置。

4. インデックスの読取り手段は、選択ワード線を電源電圧(V_{cc})にする手段(Q_{s1} , R)と、選択ワード線をそれより高い電圧(V_{cc}')にする手段(Q_{s2} , IR)を備えることを特徴とする請求項1記載の半導体記憶装置。

3. 発明の詳細な説明

〔発明の概要〕

ブロック化したデータを書込まれる書換え可能な不揮発性半導体記憶装置に関し、

EPROM等が自身でデータブロックの境界を付けることが出来るようにすることを目的とし、

不揮発性メモリセルを備え、ブロック化したデータを書込まれる書換え可能な不揮発性半導体記憶装置において、メモリセルの閾値を低、中、高の3値にして、その2値でデータを、残りの1値でデータブロックのインデックスを表わすように

し、これらのデータとインデックスの読取り手段を設けた構成とする。

(産業上の利用分野)

本発明は、ブロック化したデータを書込まれる書換え可能な不揮発性半導体記憶装置に関する。

EPROM, EEPROMなどの書換え可能な不揮発性半導体記憶装置においても近年非常に集積度が増大してきており、記憶容量が益々増加する傾向にある。記憶容量の増大でEPROM, EEPROMに、従来は計算機のハードディスク、フロッピーディスク等の外部記憶装置に書込んでいたデータに近い量のデータを書込むことが可能になり、外部記憶装置に類した使い方が可能となりつつある。この場合は、1個のEPROM, EEPROM内に、多数のブロックからなるデータを書込む場合が出てくる。

(従来の技術)

1個のEPROM, EEPROM(以下EPROM等という)内に多数のブロックからなるデータを書込むとき、

(課題を解決するための手段)

本発明では不揮発性メモリセルの記憶状態を0, 1, 2の3値とし、そのうちの2値例えば0, 1をデータ用、他の1値本例では2をデータブロックのインデックス用にする。そして通常の読取り(データリード)モードではデータ用2値を記憶したメモリセルの記憶データが読出され、インデックスビットのリードモードでインデックス用1値を記憶したメモリセルの記憶データが読出されるようにする。

第1図のL₁はデータ0, 1読取り用の閾値、L₂はインデックス読取り用の閾値である。

第2図(a)はEPROMセル、同図(b)はEEPROMセルの概要を示す。図示のようにこれらはコントロールゲートCG、フローティングゲートFG、半導体基板内のソース領域S、ドレイン領域Dなどからなる。EEPROMセルではフローティングゲートFGの一部が突出していて、ドレインDとの間の絶縁層が極めて薄く、書込/消去に際して加えられる電圧で電子がFGからDへトンネリングできる点

各ブロックの始、終端を示す情報が必要になる。これにはブロック境界を示す複数ビットからなるコードを挿入することも考えられるが、該ビットが少数ビットではデータと区別を付けにくい、ブロック判定を誤る恐れがある。

このため従来方式では、データブロックの区別は自身では付けにくいので、他のメモリに各データブロックの境界アドレスを記憶させ、このメモリでブロック境界を知って、所望ブロックのデータをEPROM等から読出す、等の方法をとっている。

(発明が解決しようとする課題)

このように従来方式ではEPROM等は自身でデータブロックの区別を付けられず、データブロック識別用の別のメモリを設ける等の措置が必要になって、効率的なシステムの設計ができない。

本発明はかかる点を改善し、EPROM等が自身でデータブロックの境界を付けることが出来るようにすることを目的とするものである。

がEPROMセルとは異なる。

これらのメモリセルは、フローティングゲートFGへ電子を注入するとMOSトランジスタとしての閾値が高くなり、電子を注入しないメモリセルと区別できる。これが通常の使用態様で、電子を注入する/しない、閾値が高い/低いをデータ1, 0に対応させる。インデックス用の本例では値2は、フローティングゲートFGに多量の電子を注入して閾値を更に高くしたものに相当する。

(作用)

このようにメモリセルの記憶状態を0, 1, 2の3値とし、そのうちの1値例えば2をインデックス用に割当てると、メモリ自身にデータブロックの境界情報を持たせることができる。例えば0, 1をデータ用、2をインデックス用とすると、閾値L₁で読むと、このときオンになるセルの記憶データは例えば0、オフになるセルの記憶データは本例では1または2であり、また閾値L₂で読むと、このときオンになるセルの記憶データは0

または1 (つまりデータ)、オフになるセルの記憶データは2 (つまりインデックス) となり、簡単にインデックス即ちブロック境界を知ることができ、これを除いた0, 1としてデータを取り出すことができる。

インデックスには0を割当て、データに1, 2を割当てることも可能である。この場合は、L₁で読んでオンになるセルがインデックスセル、L₂で読んでオン/オフになるセルがデータセル (オンセルにはインデックスセルが含まれるからこれを除く) である。

(実施例)

第3図に本発明の実施例回路を示す。3値はFGに電子を注入しない/する/多量にするで表わすから、ワード線電位を変えることで実現でき、この例を第3図(a)に示す。pチャネルMOSトランジスタQ₁とnチャネルMOSトランジスタQ₂はCMOSインバータを構成し、ローデコーダRDの出力でオン/オフ状態を変えて、ワード線WLを

選択/非選択する。即ちRDがLであればQ₁オン、Q₂オフでWLは選択、RDがHであればQ₁オフ、Q₂オンでWLは非選択である。このCMOSインバータの電源を読取り時、データ書込み時、インデックス書込み時で変える。即ち読取り時RではトランジスタQ₁をオンにしてCMOSインバータの電源をV_{cc}とし、データ書込み時WではトランジスタQ₂をオンにしてCMOSインバータの電源をV_{pp}にし、インデックス書込み時IWではトランジスタQ₂をオンにしてCMOSインバータの電源をV_{pp'}にする。勿論、V_{cc} < V_{pp} < V_{pp'}である。これで選択時のワード線WL (これはコントロールゲートCGにつながる) の電位がV_{cc}, V_{pp}, またはV_{pp'}になり、V_{cc}でリード、V_{pp}でデータライト、V_{pp'}でインデックスライトになる。

第3図(b)は他の書込み方法を示す図である。本例では書込みはインデックスも通常データも同じ回路で行ない、ベリファイ (データが書けているかどうか読んでみる動作) 時にセンスアンプのロードトランジスタを変えて、各々で読めるように

書込みを繰り返し、書込み深さを制御する。

即ち書込み時には、トランジスタQ₁₁をオンにして高電圧V_{pp}をメモリセルMCのドレインへ、コラムデコーダCDの出力でオンになるトランジスタQ₁₂を介して加え、書込みを行なう。然るのちベリファイモードでトランジスタQ₁₁はオフにし、通常データのライト時ならトランジスタQ₁₂をオンにし、インデックスライトIW時ならトランジスタQ₁₃をオンにし、通常リードならトランジスタQ₁₁をオンにする。これらのトランジスタQ₁₁~Q₁₃は読取り回路の負荷トランジスタであり、Q₁₁は大電流、Q₁₂は中電流、Q₁₃は小電流を供給し、ディメンションはQ₁₁が大、Q₁₂が中、Q₁₃が小である。感度で言えばQ₁₁のときが大、Q₁₂のときが中、Q₁₃のときが小である。

トランジスタQ₁₄~Q₁₇はノードaの電位を一定にする回路である。即ち、ノードaの電位が高い (予定値より、であり、以下同じ) とトランジスタは低抵抗、トランジスタQ₁₄, Q₁₅は高抵抗になり、ノードaを下げる。逆にノードaの電位

が低いとトランジスタQ₁₆は高抵抗、トランジスタQ₁₅, Q₁₄は低抵抗になりノードaを上げる。

メモリセルMCはこのような回路のトランジスタQ₁₄、およびコラムデコーダCDの出力でオンになるトランジスタQ₁₂を介して負荷トランジスタQ₁₁~Q₁₃のいずれかに接続される。インデックスライト時には感度が低いので、通常のデータライトされた程度のセルでは読出し出力D_{out}が得られない (MCがオンになって、D_{out}が立上ってこない)。そこでライトを繰り返し、充分書込めたとき (閾値が充分高くなったとき) MCはオフでD_{out}が立上り、読出し出力が得られるから、これでインデックスライトを終了する。

通常のデータライトではベリファイ時にトランジスタQ₁₂を選択し、これでD_{out}が得られるまで書込みを繰り返す。データリードではトランジスタQ₁₁を選択し、高感度読出しを行なう。インデックスリードではトランジスタQ₁₃を選択し、これでD_{out}がHになるセルがインデックスセルである。

第3図(c)は同図(b)の変形で、トランジスタ Q_{11} を省略している。データリードでトランジスタ Q_{12} と Q_{13} を選択すると、トランジスタ Q_{11} を選択したのと同じになり(各トランジスタが流す電流をそのように選定する)、高感度読出しが行なえる。データライト、インデックスライト、インデックスリードの態様は第3図(b)と同じである。

リード時にワード線電位を変えてデータリード、インデックスリードしてもよく、その例を第3図(d)に示す。電源 V_{cc}' は電源 V_{cc} より高くしておくと、データリードRのときトランジスタ Q_{11} をオンにして選択ワード線 W_L を V_{cc} にすると、FGへ電子を注入しないセルはオン、電子を注入した及び多量に注入したセルはオフになり、またインデックスリードIRのときトランジスタ Q_{12} をオンにして選択ワード線 W_L を V_{cc}' にすると、電子を注入しない及びしたセルはオン、多量に注入したセルはオフになり、こうしてデータリード、インデックスリードができる。この V_{cc} 、 V_{cc}' は第1図の L_1 、 L_2 に対応する。

インデックスリードして得られる出力 D_{out} は、そのときのメモリアドレスの形で使用しても、または単なるHレベルである該出力 D_{out} のみで使用してもよい。メモリ(EPRON, EEPROM)の1番目のブロックをリード、に対しては後者で充分で、例えばメモリアドレスをインクリメントしながらインデックスリードし、3番目の出力 D_{out} で以後データリードに切換えればよい。勿論、所望データは何番目のブロックに入っているかを、知っている必要はある。

インデックスセルに後続させて当該データブロックのIDコードなどを、普通データと同様にし、書込んでおいてもよい。この場合はインデックスリードでブロック境界を知り、データリードに変更して後続のIDコード等を知り、これより所望ブロックか否かを知り、所望ブロックのデータを読出すことができる。

インデックスライトIWなどの信号は内部発生させることができる。例えば第3図(a)では V_{pp} 端子に高電圧検出回路を設けておき、インデックス

ライトでは該 V_{pp} 端子に V_{pp}' を印加し、これを高電圧検出回路が検出してIWを発生する、ようにすることができる。この場合は、 Q_{12} のドレインを V_{pp} へ接続しておく。

3値書込みにおける深い書込みには、上述のワード線電位を変える、深い書込みになるまで通常書込みを繰り返す他、ドレイン電圧を変える、方法も可能である。

(発明の効果)

以上説明したように本発明によれば、従来のEPRON, EEPROMの機構を殆んど変える事なく、セルの値を3値にすることで、データブロックにインデックスを付けることが可能になり、かかるEPRON等を用いることにより、インデックス用メモリは不要な、効率的なシステムの設計が可能になる。

4. 図面の簡単な説明

第1図は本発明の原理図、

第2図はメモリセルの構造説明図、

第3図は本発明の実施例を示す回路図である。

第1図で0、1、2はメモリセルの3値、 L_1 、 L_2 はこれを識別する閾値を示す。

出 願 人 富 士 通 株 式 会 社
代理人弁理士 青 柳 稔

